

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

In re the Application of:

SANG-HYUN OH, ET AL.

Application No.:

Filed:

For: **METHOD FOR FABRICATING
FERROELECTRIC RANDOM ACCESS
MEMORY DEVICE WITH MERGED-TOP
ELECTRODE-PLATELINE CAPACITOR**

Art Group:

Examiner:

Commissioner for Patents
P.O. Box 1450
Alexandria, VA 22313-1450

REQUEST FOR PRIORITY

Sir:

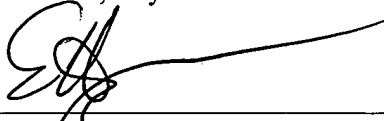
Applicant respectfully requests a convention priority for the above-captioned application, namely:

<u>COUNTRY</u>	<u>APPLICATION NUMBER</u>	<u>DATE OF FILING</u>
Republic of Korea	2003-43089	30 June 2003

☒ A certified copy of the document is being submitted herewith.

Respectfully submitted,

Blakely, Sokoloff, Taylor & Zafman LLP



Dated: December 18, 2003

Eric S. Hyman, Reg. No. 30,139

12400 Wilshire Boulevard, 7th Floor
Los Angeles, CA 90025
Telephone: (310) 207-3800



별첨 사본은 아래 출원의 원본과 동일함을 증명함.

This is to certify that the following application annexed hereto
is a true copy from the records of the Korean Intellectual
Property Office.

출원 번호 : 10-2003-0043089
Application Number

출원 년 월 일 : 2003년 06월 30일
Date of Application JUN 30, 2003

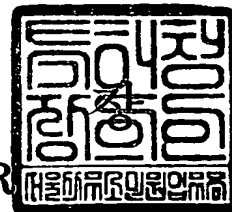
출원인 : 주식회사 하이닉스반도체
Applicant(s) Hynix Semiconductor Inc.



2003 년 10 월 24 일

특 허 청

COMMISSIONER



【서지사항】

【서류명】	특허출원서
【권리구분】	특허
【수신처】	특허청장
【참조번호】	0036
【제출일자】	2003.06.30
【발명의 명칭】	엠티피 구조의 캐패시터를 구비하는 강유전체 메모리 소자의 제조 방법
【발명의 영문명칭】	METHOD FOR FABRICATING FERROELECTRIC RANDOM ACCESS MEMORY WITH MERGED-TOP ELECTRODE-PLATELINE CAPACITOR
【출원인】	
【명칭】	주식회사 하이닉스반도체
【출원인코드】	1-1998-004569-8
【대리인】	
【명칭】	특허법인 신성
【대리인코드】	9-2000-100004-8
【지정된변리사】	변리사 정지원, 변리사 원석희, 변리사 박해천
【포괄위임등록번호】	2000-049307-2
【발명자】	
【성명의 국문표기】	오상현
【성명의 영문표기】	OH,Sang Hyun
【주민등록번호】	711102-1351112
【우편번호】	431-080
【주소】	경기도 안양시 동안구 호계동 1052-5 목련아파트 505-401
【국적】	KR
【발명자】	
【성명의 국문표기】	방규현
【성명의 영문표기】	BANG,Kyu Hyun
【주민등록번호】	751207-1066824
【우편번호】	156-072
【주소】	서울특별시 동작구 흑석2동 한강현대아파트 102-903
【국적】	KR

【발명자】

【성명의 국문표기】 장인우
【성명의 영문표기】 JANG, In Woo
【주민등록번호】 730224-1652713
【우편번호】 138-160
【주소】 서울특별시 송파구 가락동 가락아파트 99-508
【국적】 KR

【발명자】

【성명의 국문표기】 성진용
【성명의 영문표기】 SEONG, Jin Yong
【주민등록번호】 701102-1058329
【우편번호】 138-240
【주소】 서울특별시 송파구 잠실4동 시영아파트 3-504
【국적】 KR

【발명자】

【성명의 국문표기】 김진구
【성명의 영문표기】 KIM, Jin Gu
【주민등록번호】 670918-1544215
【우편번호】 440-210
【주소】 경기도 수원시 장안구 송죽동 412-2 광명빌라 C-301
【국적】 KR

【발명자】

【성명의 국문표기】 박성희
【성명의 영문표기】 PARK, Song Hee
【주민등록번호】 670817-1010011
【우편번호】 363-894
【주소】 충청북도 청원군 강내면 탑연리 주은반석아파트 102-405
【국적】 KR

【발명자】

【성명의 국문표기】 양영호
【성명의 영문표기】 YANG, Young Ho
【주민등록번호】 651105-1482118

【우편번호】	360-070
【주소】	충청북도 청주시 상당구 금천동 효성아파트 101-805
【국적】	KR
【발명자】	
【성명의 국문표기】	이계남
【성명의 영문표기】	LEE,Kye Nam
【주민등록번호】	621217-1018133
【우편번호】	467-701
【주소】	경기도 이천시 부발읍 아미리 산136-1
【국적】	KR
【발명자】	
【성명의 국문표기】	홍석경
【성명의 영문표기】	HONG,Suk Kyoung
【주민등록번호】	591223-1231728
【우편번호】	427-050
【주소】	경기도 과천시 부림동 주공아파트 809-505
【국적】	KR
【심사청구】	청구
【취지】	특허법 제42조의 규정에 의한 출원, 특허법 제60조의 규정에 의한 출원심사를 청구합니다. 대리인 특허법인 신성 (인)
【수수료】	
【기본출원료】	18 면 29,000 원
【가산출원료】	0 면 0 원
【우선권주장료】	0 건 0 원
【심사청구료】	7 항 333,000 원
【합계】	362,000 원
【첨부서류】	1. 요약서·명세서(도면)_1통

【요약서】**【요약】**

본 발명은 고립절연막내의 불순물이 강유전체막으로 확산하는 것을 방지하면서 공정단가가 매우 비싼 화학적기계적연마 공정을 피할 수 있는 강유전체 메모리 소자의 제조 방법을 제공하기 위한 것으로, 반도체기판 상부에 층간절연막을 형성하는 단계, 상기 층간절연막을 관통하여 상기 반도체 기판의 일부와 연결되는 스토리지노드콘택을 형성하는 단계, 상기 층간절연막 상에 상기 스토리지노드콘택과 연결되는 하부전극을 형성하는 단계, 상기 하부전극 표면보다 낮도록 단차져 상기 하부전극의 하부영역을 에워싸는 고립절연막을 형성하는 단계, 상기 고립절연막 상부에 상기 하부전극의 상부 영역을 에워싸는 불순물확산방지막을 형성하는 단계, 상기 하부전극 및 상기 불순물확산방지막 상부에 강유전체막을 형성하는 단계, 및 상기 강유전체막 상에 상부전극을 형성하는 단계를 포함하고, 고립절연막과 불순물확산방지막을 전면식각(Blanket etchback)을 통해 형성한다.

【대표도】

도 4e

【색인어】

강유전체 메모리, 전면식각, 고립절연막, 불순물확산방지막, 화학적기계적연마

【명세서】

【발명의 명칭】

엠티피 구조의 캐패시터를 구비하는 강유전체 메모리 소자의 제조 방법{METHOD FOR FABRICATING FERROELECTRIC RANDOM ACCESS MEMORY WITH MERGED-TOP ELECTRODE-PLATELINE CAPACITOR}

【도면의 간단한 설명】

도 1은 종래기술의 일예에 따른 강유전체 메모리 소자를 도시한 소자 단면도,

도 2는 종래 기술의 일예에 따른 강유전 특성 열화를 나타낸 도면,

도 3a 내지 도 3c는 종래 기술의 다른 예에 따른 강유전체 메모리 소자의 제조 방법을 도시한 공정 단면도,

도 4a 내지 도 4f는 본 발명의 실시예에 따른 강유전체 메모리 소자의 제조 방법을 도시한 공정 단면도.

* 도면의 주요 부분에 대한 부호의 설명

- | | |
|---------------|---------------|
| 41 : 반도체 기판 | 42 : 소자분리막 |
| 43 : 접합영역 | 44 : 층간절연막 |
| 45 : 스토리지노드콘택 | 46 : 하부전극 |
| 47 : 고립절연막 | 48 : 불순물확산방지막 |
| 49 : 강유전체막 | 50 : 상부전극 |

【발명의 상세한 설명】

【발명의 목적】

【발명이 속하는 기술분야 및 그 분야의 종래기술】

- <11> 본 발명은 반도체 제조 기술에 관한 것으로, 특히 강유전체 메모리 소자의 제조 방법에 관한 것이다.
- <12> 일반적으로, 반도체 메모리 소자에서 강유전체(Ferroelectric) 박막을 강유전체 캐패시터에 사용함으로써 DRAM(Dynamic Random Access Memory) 소자에서 필요한 리프레쉬(Refresh)의 한계를 극복하고 대용량의 메모리를 이용할 수 있는 소자의 개발이 진행되어왔다. 이러한 강유전체 박막을 이용하는 강유전체 메모리 소자(Ferroelectric Random Access Memory; 이하 'FeRAM'이라 약칭함) 소자는 비휘발성 메모리 소자(Nonvolatile Memory device)의 일종으로 전원이 끊어진 상태에서도 저장 정보를 기억하는 장점이 있을 뿐만 아니라 동작 속도도 DRAM에 필적하여 차세대 기억소자로 각광받고 있다.
- <13> 최근에는 고밀도 강유전체 메모리 소자 제작시 MTP(Merged Top electrode Plateline) 구조를 적용하고 있다.
- <14> 도 1은 종래기술의 일예에 따른 강유전체 메모리 소자를 도시한 소자 단면도이다.
- <15> 도 1을 참조하면, 반도체기판(11)에 활성영역을 정의하는 소자분리막(12)이 형성되고, 반도체기판(11) 내에 트랜지스터의 소스/드레인과 같은 접합영역(13)이 형성된다.
- <16> 그리고, 반도체 기판(11) 상부에 층간절연막(14)이 형성되고, 층간절연막(14)을 관통하여 접합영역(13)에 콘택되는 스토리지노드콘택(15)이 형성되며, 스토리지노드콘택(15)에 연결되는 하부전극(16)이 층간절연막(14) 상부에 형성된다.

- <17> 그리고, 이웃한 하부전극(16)간 격리를 위해 표면이 평탄화된 고립절연막(17)이 하부전극(16)을 에워싸고 있으며, 여기서, 고립절연막(17)과 하부전극(16)은 그 표면이 실질적으로 평탄하다.
- <18> 그리고, 고립절연막(17)과 하부전극(16) 상에 강유전체막(18)이 형성되고, 강유전체막(18) 상에 상부전극(19)이 형성된다. 여기서, 강유전체막(18)은 셀영역의 전면에 형성되는 것이고, 상부전극(19)만을 패터닝하여 강유전체 캐패시터를 형성한다.
- <19> 도 1과 같은 상술한 종래기술은 상부전극(19)이 플레이트라인(plateline)을 겸하는 MTP 구조의 강유전체 메모리 소자를 형성하고 있다.
- <20> 그러나, 종래 기술은 고립절연막(17)으로 PSG, BPSG, BSG와 같은 불순물을 포함하는 실리콘산화물을 이용하기 때문에, 고립절연막(17)내에 포함된 보론(Boron) 또는 인(Phosphorus)이 후속 열공정시 강유전체막(18) 내부로 침투하여 강유전 특성을 열화시키는 문제가 있다.
- <21> 도 2는 종래 기술의 일예에 따른 강유전 특성 열화를 나타낸 도면이다.
- <22> 도 2에 도시된 바와 같이, 고립절연막내에 포함된 불순물에 의해 강유전체 캐패시터의 분극특성(C2)이 이상적인 강유전 특성(C1)에 비해 열화되고 있음을 알 수 있다.
- <23> 이와 같이, 고립절연막(17)내 포함된 불순물에 의한 강유전 특성 열화를 방지하기 위해 제안된 기술이 불순물확산방지막이다.
- <24> 도 3a 내지 도 3c는 종래 기술의 다른 예에 따른 강유전체 메모리 소자의 제조 방법을 도시한 공정 단면도이다.



- <25> 도 3a에 도시된 바와 같이, 반도체 기판(21)에 소자간 분리를 위한 소자분리막(22)을 형성하여 활성영역을 정의하고, 반도체 기판(21) 내에 트랜지스터의 소스/드레인과 같은 접합영역(23)을 형성한다.
- <26> 다음으로, 반도체 기판(21) 상부에 층간절연막(24)을 증착 및 평탄화한 후, 콘택마스크(도시 생략)로 층간절연막(24)을 식각하여 접합영역(23)을 노출시키는 스토리지노드콘택홀(도시 생략)을 형성한다.
- <27> 다음으로, 스토리지노드콘택홀에 매립되는 스토리지노드콘택(25)을 형성한후, 층간절연막(24) 상부에 고립절연막(26)과 불순물확산방지막(27)을 차례로 형성한다. 이어서, 불순물확산방지막(27)과 고립절연막(26)을 다마신법(damascene process)으로 식각하여 하부전극이 형성될 홈(28)을 형성한다.
- <28> 도 3b에 도시된 바와 같이, 홈(28)을 포함한 불순물확산방지막(27) 상부에 하부전극이 될 도전막을 증착한 후, 화학적기계적연마 공정을 실시하여 홈(28)에 매립되는 하부전극(29)을 형성한다. 이때, 하부전극(29)으로는 백금, 이리듐 등의 금속막을 이용한다.
- <29> 다음으로, 도 3c에 도시된 바와 같이, 하부전극(29)을 포함한 전면에 강유전체막(30)과 상부전극(31)이 될 도전막을 차례로 형성한 후, 상부전극(31)이 될 도전막만을 선택적으로 식각하여 강유전체 캐패시터를 완성한다.
- <30> 그러나, 종래기술의 다른 예는 하부전극(29)으로 사용되는 백금, 이리듐 등의 금속막을 화학적기계적연마하는 방법이 실용화하기에는 어려운 상태이며, 후속 열처리 과정에서 스토리지노드콘택(25)이 산화하는 것을 방지하기 하부전극(29)을 다층 박막으로 형성해야 하는데, 이

경우 다층 박막을 구현하기가 어렵다. 또한, 불순물확산방지막(27)을 노출시키기 위한 화학적 기계적연마 공정에서 불순물확산방지막(27)이 손실될 문제가 있어 공정상 어려움이 있다.

【발명이 이루고자 하는 기술적 과제】

<31> 본 발명은 상기한 종래 기술의 문제점을 해결하기 위해 안출한 것으로, 고립절연막내의 불순물이 강유전체막으로 확산하는 것을 방지하면서 공정단가가 매우 비싼 화학적기계적연마 공정을 피할 수 있는 강유전체 메모리 소자의 제조 방법을 제공하는데 그 목적이 있다.

【발명의 구성 및 작용】

<32> 상기 목적을 달성하기 위한 본 발명의 강유전체 메모리 소자의 제조 방법은 반도체기판 상부에 층간절연막을 형성하는 단계, 상기 층간절연막을 관통하여 상기 반도체 기판의 일부와 연결되는 스토리지노드콘택을 형성하는 단계, 상기 층간절연막 상에 상기 스토리지노드콘택과 연결되는 하부전극을 형성하는 단계, 상기 하부전극 표면보다 낮도록 단차져 상기 하부전극의 하부영역을 에워싸는 고립절연막을 형성하는 단계, 상기 고립절연막 상부에 상기 하부전극의 상부 영역을 에워싸는 불순물확산방지막을 형성하는 단계, 상기 하부전극 및 상기 불순물확산 방지막 상부에 강유전체막을 형성하는 단계, 및 상기 강유전체막 상에 상부전극을 형성하는 단계를 포함하는 것을 특징으로 하고, 상기 고립절연막을 형성하는 단계는 상기 하부전극을 포함한 층간절연막 상에 제1절연막을 증착하는 단계, 및 상기 하부전극 표면이 드러날때까지 상기 제1절연막을 전면식각하여 상기 고립절연막을 형성하는 단계를 포함하는 것을 특징으로 하며, 상기 불순물확산방지막을 형성하는 단계는 상기 고립절연막을 포함한 전면에 제2절연막을 증착

하는 단계, 및 상기 하부전극 표면이 드러날때까지 상기 제2절연막을 전면식각하는 단계를 포함하는 것을 특징으로 한다.

- <33> 이하, 본 발명이 속하는 기술분야에서 통상의 지식을 가진 자가 본 발명의 기술적 사상을 용이하게 실시할 수 있을 정도로 상세히 설명하기 위하여, 본 발명의 가장 바람직한 실시예를 첨부 도면을 참조하여 설명하기로 한다.
- <34> 도 4a 내지 도 4f는 본 발명의 실시예에 따른 강유전체 메모리 소자의 제조 방법을 도시한 공정 단면도이다.
- <35> 도 4a에 도시된 바와 같이, 반도체 기판(41)에 소자간 분리를 위한 소자분리막(42)을 형성하여 활성영역을 정의하고, 반도체 기판(41)의 활성영역 내에 트랜지스터의 소스/드레인과 같은 접합영역(43)을 형성한다.
- <36> 다음으로, 반도체 기판(41) 상부에 층간절연막(44)을 증착 및 평탄화한 후, 콘택마스크(도시 생략)로 층간절연막(44)을 식각하여 접합영역(43)을 노출시키는 스토리지노드콘택홀(도시 생략)을 형성한다.
- <37> 다음으로, 스토리지노드콘택홀에 매립되는 스토리지노드콘택(45)을 형성한다. 스토리지노드콘택(45)은 폴리실리콘플러그(polysilicon-plug), 티타늄실리사이드(Ti-silicide) 및 티타늄나이트라이드(TiN)의 순서로 적층된 구조물로서, 이들의 형성 방법은 생략하기로 한다. 여기서, 티타늄실리사이드는 폴리실리콘플러그와 하부전극간 오믹콘택을 형성해주며, 티타늄나이트라이드는 폴리실리콘플러그와 하부전극간 상호확산을 방지하는 확산방지막이다.

- <38> 다음으로, 층간절연막(44) 상부에 하부전극이 될 도전막을 증착한 후, 마스크 및 식각 공정을 통해 스토리지노드콘택(45)에 연결되는 하부전극(46)을 형성한다.
- <39> 이때, 하부전극(46)은 화학기상증착법(CVD), 물리기상증착법(PVD), 원자층증착법(ALD) 및 플라즈마원자층증착법(PEALD) 중에서 선택된 하나의 증착법을 이용하여 증착되며, 백금(Pt), 이리듐(Ir), 루테튬(Ru), 레늄(Re) 및 로듐(Rh) 중에서 선택된 하나이거나 이들의 복합 구조물을 이용한다. 예를 들어, 하부전극(46)은 이리듐(Ir), 이리듐산화막(IrO_2) 및 백금(Pt)의 순서로 적층된 Pt/ IrO_2 /Ir막이고, 이때, 이리듐(Ir)은 $100\text{ \AA} \sim 3000\text{ \AA}$, 이리듐산화막(IrO_2)은 $10\text{ \AA} \sim 500\text{ \AA}$, 백금(Pt)는 $100\text{ \AA} \sim 5000\text{ \AA}$ 두께로 형성된다.
- <40> 도 4b에 도시된 바와 같이, 하부전극(46)을 포함한 층간절연막(44) 상에 고립절연막(47)을 증착한다. 이때, 고립절연막(47)은 보론(B) 또는 인(P) 등의 불순물이 함유된 실리콘산화물을 이용한다. 예를 들어, PSG, BPSG, BSG이다.
- <41> 도 4c에 도시된 바와 같이, 전면식각을 통해 고립절연막(47)을 식각하여 하부전극(46) 표면을 노출시킨다. 이때, 잔류하는 고립절연막(47)은 하부전극(46) 표면보다 아래로 꺼지는 형태가 되어 이웃한 하부전극(46)간을 고립시킨다. 즉, 하부전극(46)의 하부 영역을 에워싸는 형태가 된다.
- <42> 도 4d에 도시된 바와 같이, 고립절연막(47) 및 하부전극(46) 상부에 불순물확산방지막(48)을 형성한다. 이때, 불순물확산방지막(48)은 고립절연막(47)과 달리 평탄화를 위한 목적이 아니므로 두껍게 형성할 필요가 없다. 따라서 두께가 얇기 때문에 후속 공정의 전면식각이 용이하다.

- <43> 예컨대, 불순물확산방지막(48)은 불순물이 함유되지 않은 실리콘산화물 또는 실리콘질화물 및 이들의 복합구조를 이용하는데, 불순물이 함유되지 않은 실리콘산화물은 TEOS 또는 USG 이다. 그리고, 불순물확산방지막(48)은 1nm~100nm 두께로 형성한다.
- <44> 도 4e에 도시된 바와 같이, 하부전극(46) 표면이 드러날때까지 불순물확산방지막(48)을 전면식각(Blanket etchback)한다. 이때, 잔류하는 불순물확산방지막(48)은 고립절연막(47) 상부에 형성되어 하부전극(46)의 상부영역을 에워싸는 형태가 된다.
- <45> 도 4f에 도시된 바와 같이, 불순물확산방지막(48)을 포함한 결과물 전면에 강유전체막(49)과 상부전극(50)이 될 도전막을 차례로 형성한 후, 상부전극(50)이 될 도전막만을 선택적으로 식각하여 강유전체 캐패시터를 완성한다.
- <46> 이때, 강유전체막(49)은 화학기상증착법(CVD), 원자층증착법(ALD), 금속유기증착법(MOD) 및 스핀코팅법(Spin coating) 중에서 선택된 하나의 증착법을 이용하여 증착하며, 통상의 SBT, PZT 및 BLT 중에서 선택된 하나이거나 불순물이 첨가되거나 조성 변화된 SBT, PZT, SBTN 및 BLT 중에서 선택된 하나를 이용한다.
- <47> 강유전체막(49) 형성후, 공지의 기술로서 강유전체막(49)을 결정화시키기 위한 열처리를 진행하며, 하부전극(46)이 매립된 구조상에 강유전체막(49)을 형성하여 상부전극(50) 형성전에 평탄화를 이루므로써 후속 공정과 더불어 평탄한 구조를 용이하게 할 수 있다.
- <48> 한편, 상부전극(50)은 하부전극(46)으로 적용된 물질을 선택하여 사용할 수 있다.
- <49> 전술한 바에 따르면, 본 발명은 전면식각을 통해 불순물확산방지막(48)의 손실없이 하부전극(46) 표면을 노출시킬 수 있고, 고립절연막(47) 위에는 모든 경우에 불순물확산방지막(48)이 항상 존재하므로 고립절연막(47)내 불순물의 확산으로 인한 강유전체막의 특성 열화가 없다

. 또한, 공정단가가 비싼 화학적기계적연마공정을 피하면서도 불순물확산방지막을 도입할 수 있다.

<50> 본 발명의 기술 사상은 상기 바람직한 실시예에 따라 구체적으로 기술되었으나, 상기한 실시예는 그 설명을 위한 것이며 그 제한을 위한 것이 아님을 주의하여야 한다. 또한, 본 발명의 기술 분야의 통상의 전문가라면 본 발명의 기술 사상의 범위 내에서 다양한 실시예가 가능함을 이해할 수 있을 것이다.

【발명의 효과】

<51> 상술한 본 발명은 양산 가능한 방법으로 고립절연막과 강유전체막 사이에 불순물확산방지막을 삽입하여 하부전극을 에워싸고 있는 고립절연막내 불순물의 확산을 방지하므로써, 강유전체 캐패시터의 강유전 특성 열화를 억제하여 공정상 안정성을 확보함과 동시에 강유전체 메모리 소자의 신뢰성을 향상시킬 수 있는 효과가 있다.

<52> 또한, 공정단가가 비싼 화학적기계적연마 공정을 피할 수 있어 제조비용을 절감할 수 있는 효과가 있다.



【특허청구범위】

【청구항 1】

반도체기판 상부에 층간절연막을 형성하는 단계;

상기 층간절연막을 관통하여 상기 반도체 기판의 일부와 연결되는 스토리지노드콘택을 형성하는 단계;

상기 층간절연막 상에 상기 스토리지노드콘택과 연결되는 하부전극을 형성하는 단계;

상기 하부전극 표면보다 낮도록 단차져 상기 하부전극의 하부영역을 에워싸는 고립절연막을 형성하는 단계;

상기 고립절연막 상부에 상기 하부전극의 상부 영역을 에워싸는 불순물확산방지막을 형성하는 단계;

상기 하부전극 및 상기 불순물확산방지막 상부에 강유전체막을 형성하는 단계; 및

상기 강유전체막 상에 상부전극을 형성하는 단계

를 포함하는 강유전체 메모리 소자의 제조 방법.

【청구항 2】

제1항에 있어서,

상기 고립절연막을 형성하는 단계는,

상기 하부전극을 포함한 층간절연막 상에 제1절연막을 증착하는 단계; 및

상기 하부전극 표면이 드러날때까지 상기 제1절연막을 전면식각하여 상기 고립절연막을 형성하는 단계

를 포함하는 것을 특징으로 하는 강유전체 메모리 소자의 제조 방법.

【청구항 3】

제2항에 있어서,

상기 제1절연막은, BPSG, PSG 또는 BSG인 것을 특징으로 하는 강유전체 메모리 소자의 제조 방법.

【청구항 4】

제1항에 있어서,

상기 불순물확산방지막을 형성하는 단계는,

상기 고립절연막을 포함한 전면에 제2절연막을 증착하는 단계; 및

상기 하부전극 표면이 드러날때까지 상기 제2절연막을 전면식각하는 단계

를 포함하는 것을 특징으로 하는 강유전체 메모리 소자의 제조 방법.

【청구항 5】

제4항에 있어서,

상기 제2절연막은, 불순물이 함유되지 않은 실리콘산화물 또는 실리콘질화물 및 이들의 복합구조를 이용하는 것을 특징으로 하는 강유전체 메모리 소자의 제조 방법.



【청구항 6】

제5항에 있어서,

상기 불순물이 함유되지 않은 실리콘산화물은, TEOS 또는 USG인 것을 특징으로 하는 강유전체 메모리 소자의 제조 방법.

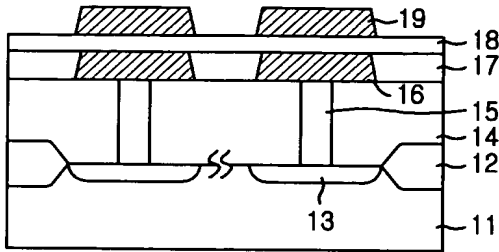
【청구항 7】

제4항에 있어서,

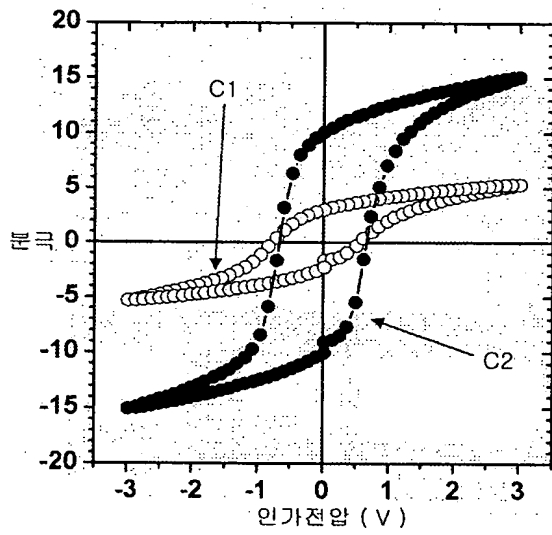
상기 제2절연막은, 1nm~100nm 두께로 증착하는 것을 특징으로 하는 강유전체 메모리 소자의 제조 방법.

【도면】

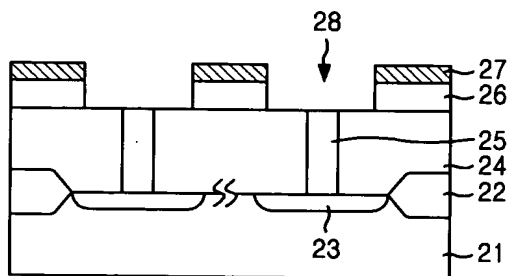
【도 1】



【도 2】

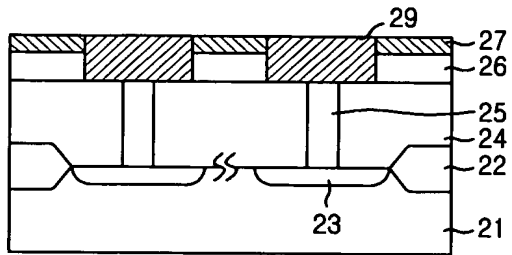


【도 3a】

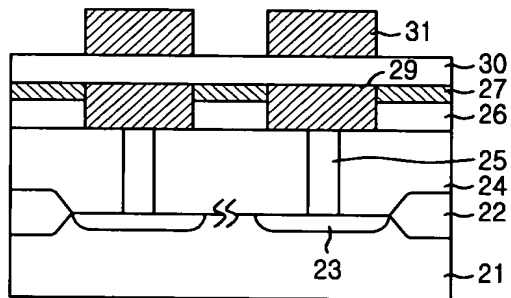




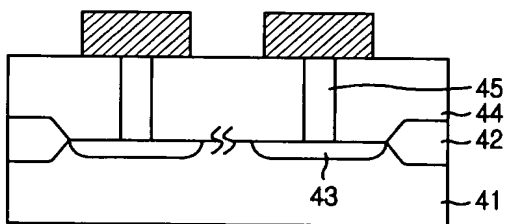
【도 3b】



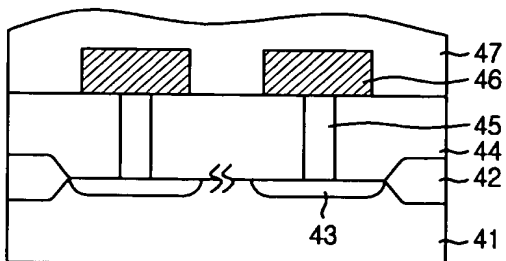
【도 3c】



【도 4a】

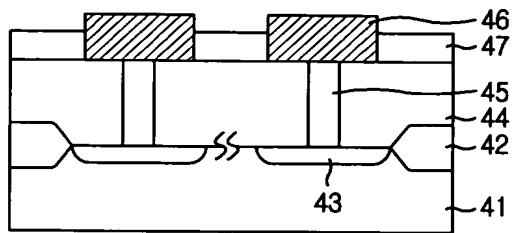


【도 4b】

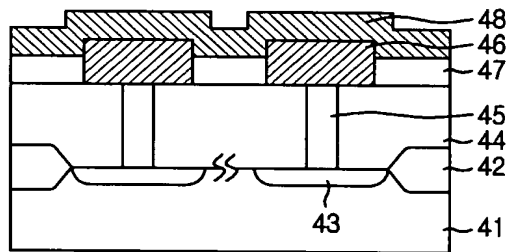




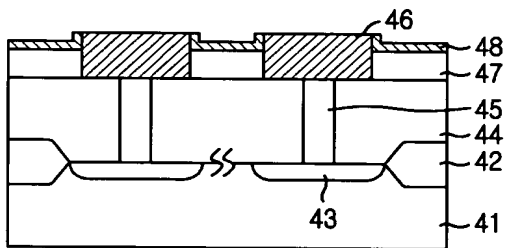
【도 4c】



【도 4d】



【도 4e】



【도 4f】

